

PAT-NO: JP411338572A
DOCUMENT-IDENTIFIER: JP 11338572 A
TITLE: CLOCK GENERATOR

PUBN-DATE: December 10, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
KOIKE, MASAhide	N/A
TERADA, TAKAMORI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP10141821

APPL-DATE: May 22, 1998

INT-CL (IPC): G06F001/04 , H03K003/03

ABSTRACT:

PROBLEM TO BE SOLVED: To make an electronic system small-sized, to save the electric power, and to lower the assembly cost by reducing oscillators outside a semiconductor substrate from two to one.

SOLUTION: This clock generator is equipped with an oscillator 1 which generates a low-speed clock for driving the timer of the electronic system, a ring oscillator 3 which is formed on the semiconductor substrate 5A and generates and outputs a high-speed clock to the electronic system when the main power source of the electronic system is turned on, and a frequency comparator 2 which is formed on the semiconductor substrate 5A and outputs a ring oscillator oscillation frequency correction indication value for correcting the high-speed clock according to the result of a comparison between the low-speed clock and high-speed clock, and the ring oscillator 3 outputs the high-speed clock having its frequency corrected according to the ring oscillator oscillation frequency correction indication value outputted from the frequency comparator.

COPYRIGHT: (C)1999, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-338572

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁸

識別記号

F I

G 0 6 F 1/04

G 0 6 F 1/04

C

H 0 3 K 3/03

H 0 3 K 3/03

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平10-141821

(22) 出願日 平成10年(1998)5月22日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小池 正英

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 寺田 孝守

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 曾我 道照 (外6名)

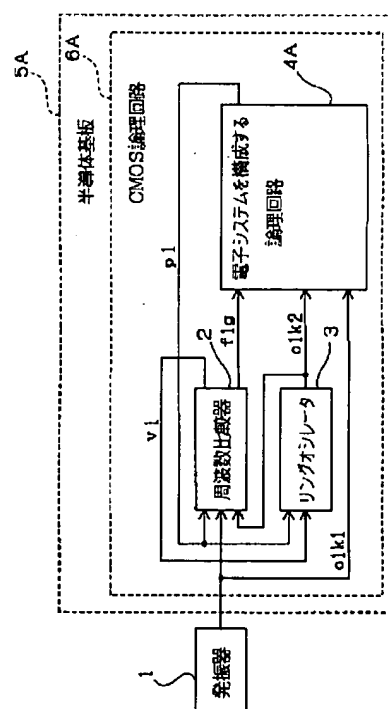
(54) 【発明の名称】 クロック生成器

(57) 【要約】

【課題】 発振器は高い精度が必要とされ、半導体基板上にこれを形成する技術は未だ開発されていないという問題点があった。

【解決手段】 電子システムの時計を駆動するための低速クロックを生成する発振器1と、半導体基板5A上に形成され、前記電子システムの主電源がONすると高速クロックを生成し前記電子システムへ出力するリングオシレータ3と、前記半導体基板5A上に形成され、前記低速クロック及び前記高速クロックの比較に基づいて前記高速クロックを補正するためのリングオシレータ発振周波数補正指示値を出力する周波数比較器2とを備え、前記リングオシレータ3は、前記周波数比較器から出力されたリングオシレータ発振周波数補正指示値に基づき周波数補正された高速クロックを出力する。

【効果】 半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができる。



1

【特許請求の範囲】

【請求項1】 電子システムの時計を駆動するための低速クロックを生成する発振器と、半導体基板上に形成され、前記電子システムの主電源がONすると高速クロックを生成し前記電子システムへ出力するリングオシレータと、前記半導体基板上に形成され、前記低速クロック及び前記高速クロックの比較に基づいて前記高速クロックを補正するためのリングオシレータ発振周波数補正指示値を出力する周波数比較器とを備え、前記リングオシレータは、前記周波数比較器から出力されたリングオシレータ発振周波数補正指示値に基づき周波数補正された高速クロックを出力することを特徴とするクロック生成器。

【請求項2】 前記リングオシレータは、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータのバックゲート電圧に変換して出力するD/Aコンバータと、奇数個のインバータがリング状にカスケードに接続され、前記バックゲート電圧により周波数補正された高速クロックを発振するインバータ回路とを含むことを特徴とする請求項1記載のクロック生成器。

【請求項3】 前記リングオシレータは、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータの電源電圧に変換して出力するD/Aコンバータと、奇数個のインバータがリング状にカスケードに接続され、前記電源電圧により周波数補正された高速クロックを発振するインバータ回路とを含むことを特徴とする請求項1記載のクロック生成器。

【請求項4】 前記リングオシレータは、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータ及び遅延素子のバックゲート電圧に変換して出力するD/Aコンバータと、1個のインバータと複数の遅延素子がリング状にカスケードに接続され、前記バックゲート電圧により周波数補正された高速クロックを発振するインバータ回路とを含むことを特徴とする請求項1記載のクロック生成器。

【請求項5】 前記リングオシレータは、奇数個のインバータがリング状にカスケードに接続され、高速クロックを発振するインバータ回路と、前記インバータ回路に接続され、複数のインバータがカスケードに接続された周波数補正用インバータ回路と、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値により前記周波数補正用インバータ回路のタップを選択することにより前記インバータ回路の発振周波数を補正するセレクタとを含むことを特徴とする請求項1記載のクロック生成器。

【請求項6】 前記リングオシレータは、奇数個のインバータがリング状にカスケードに接続さ

2

れ、高速クロックを発振するインバータ回路と、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値により指定された分周比で前記インバータ回路の出力を分周する可変分周器とを含むことを特徴とする請求項1記載のクロック生成器。

【請求項7】 前記周波数比較器は、前記電子システムの主電源がONすると前記低速クロックに基づき周波数測定タイミングを出力する制御信号生成器と、

10 前記周波数測定タイミングがハイレベルのとき前記高速クロックをカウントするカウンタと、前記カウンタのカウント値により前記リングオシレータの周波数偏差を補正するためのリングオシレータ発振周波数補正指示値を出力する補正值テーブルとを含むことを特徴とする請求項1から請求項6までのいずれかに記載のクロック生成器。

【請求項8】 前記リングオシレータ及び前記周波数比較器は、CMOS論理回路により形成されていることを特徴とする請求項1から請求項7までのいずれかに記載のクロック生成器。

【請求項9】 前記リングオシレータ及び前記周波数比較器は、バイポーラトランジスタ論理回路により形成されていることを特徴とする請求項1から請求項7までのいずれかに記載のクロック生成器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体基板上に形成されたクロック生成器に関し、特に、消費電力が少なく、かつ精度の高いクロック生成器に関するものである。

【0002】

【従来の技術】従来のクロック生成器について図面を参照しながら説明する。図11は、従来のクロック生成器の構成を示す図である。

【0003】図11に示すクロック生成器は、携帯電話や携帯情報端末のような携帯電子システムに使用される。図11において、半導体基板5上にCMOS論理回路6により電子システムを構成する論理回路4が形成され、また半導体基板5外に発振器1、及び発振器7が接続されている。

【0004】つぎに、前述した従来のクロック生成器の動作について説明する。発振器1により時計の駆動、あるいは低消費電力モードのための低い周波数のクロックを生成し、またp1'=H(ハイレベル)のとき、発振器7により通常動作のための高い周波数のクロックを生成し、電子システムを構成する論理回路4を駆動する。

【0005】

【発明が解決しようとする課題】携帯電話や携帯情報端末は、手軽に持ち運べる必要があるため小型化が求められる。また、携帯電話や携帯情報端末は、通常、電池か

ら駆動用エネルギーを得ている一方で長時間使用できる必要があるため、省電力化が求められる。

【0006】上述したような従来のクロック生成器では、電子システムを構成する論理回路4が、半導体の集積技術の進展により半導体基板5上に形成され、システムの小型化、省電力化、組立（実装）コストの削減を図っている。

【0007】しかし、前記の発振器1、発振器7は高い精度が必要とされ、半導体基板5上にこれを形成する技術は未だ開発されていないという問題点があった。

【0008】このことは、電子システムの小型化の妨げとなっており、また消費電力を大きくしており、また、実装コストの削減の妨げとなっているという問題点があった。

【0009】この発明は、前述した問題点を解決するためになされたもので、電子システムの小型化、省電力化、組立コストの削減をすることができるクロック生成器を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明に係るクロック生成器は、電子システムの時計を駆動するための低速クロックを生成する発振器と、半導体基板上に形成され、前記電子システムの主電源がONすると高速クロックを生成し前記電子システムへ出力するリングオシレータと、前記半導体基板上に形成され、前記低速クロック及び前記高速クロックの比較に基づいて前記高速クロックを補正するためのリングオシレータ発振周波数補正指示値を出力する周波数比較器とを備え、前記リングオシレータは、前記周波数比較器から出力されたリングオシレータ発振周波数補正指示値に基づき周波数補正された高速クロックを出力するものである。

【0011】また、この発明に係るクロック生成器は、前記リングオシレータが、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータのバックゲート電圧に変換して出力するD/Aコンバータと、奇数個のインバータがリング状にカスケードに接続され、前記バックゲート電圧により周波数補正された高速クロックを発振するインバータ回路とを含むものである。

【0012】また、この発明に係るクロック生成器は、前記リングオシレータが、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータの電源電圧に変換して出力するD/Aコンバータと、奇数個のインバータがリング状にカスケードに接続され、前記電源電圧により周波数補正された高速クロックを発振するインバータ回路とを含むものである。

【0013】また、この発明に係るクロック生成器は、前記リングオシレータが、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータ及び遅延素子のバックゲート電圧に変換して出力するD/A

Aコンバータと、1個のインバータと複数の遅延素子がリング状にカスケードに接続され、前記バックゲート電圧により周波数補正された高速クロックを発振するインバータ回路とを含むものである。

【0014】また、この発明に係るクロック生成器は、前記リングオシレータが、奇数個のインバータがリング状にカスケードに接続され、高速クロックを発振するインバータ回路と、前記インバータ回路に接続され、複数のインバータがカスケードに接続された周波数補正用インバータ回路と、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値により前記周波数補正用インバータ回路のタップを選択することにより前記インバータ回路の発振周波数を補正するセレクトとを含むものである。

【0015】また、この発明に係るクロック生成器は、前記リングオシレータが、奇数個のインバータがリング状にカスケードに接続され、高速クロックを発振するインバータ回路と、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値により指定された分周比で前記インバータ回路の出力を分周する可変分周器とを含むものである。

【0016】さらに、この発明に係るクロック生成器は、前記周波数比較器が、前記電子システムの主電源がONすると前記低速クロックに基づき周波数測定タイミングを出力する制御信号生成器と、前記周波数測定タイミングがハイレベルのとき前記高速クロックをカウントするカウンタと、前記カウンタのカウント値により前記リングオシレータの周波数偏差を補正するためのリングオシレータ発振周波数補正指示値を出力する補正值テーブルとを含むものである。

【0017】またさらに、この発明に係るクロック生成器は、前記リングオシレータ及び前記周波数比較器が、CMOS論理回路により形成されているものである。

【0018】またさらに、この発明に係るクロック生成器は、前記リングオシレータ及び前記周波数比較器が、バイポーラトランジスタ論理回路により形成されているものである。

【0019】

【発明の実施の形態】実施の形態1. この発明の実施の形態1に係るクロック生成器について図面を参照しながら説明する。図1は、この発明の実施の形態1に係るクロック生成器の構成を示す図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0020】図1において、半導体基板5A上に、CMOS論理回路6Aにより周波数比較器2、リングオシレータ3、及び電子システムを構成する論理回路4Aが形成され、また、半導体基板5A外に発振器1が接続されている。

【0021】図2は、前記リングオシレータ3の内部構成を示す図である。同図において、リングオシレータ3

は、D/Aコンバータ31と、AND回路32と、奇数個のインバータ33と、出力インバータ34とから構成される。

【0022】図3は、前記周波数比較器2の内部構成を示す図である。同図において、周波数比較器2は、制御信号生成器21と、カウンタ22と、補正值テーブル23と、記憶素子24とにより構成される。

【0023】つぎに、前述した実施の形態1に係るクロック生成器の動作について図面を参照しながら説明する。図4は、この発明の実施の形態1に係るクロック生成器のクロック生成開始時の動作を示すタイミングチャートである。

【0024】発振器1は、電子システムの主電源がOFFのときにもクロックclk1を生成している。このクロックclk1は、電子システムの時計を駆動するための低速クロックである。

【0025】主電源ONの後、電子システムが高速クロックを必要とするとき、図4に示すように、電子システムを構成する論理回路4Aの出力p1がL（ハイレベル）→H（ハイレベル）へ変化し、リングオシレータ3は、前記奇数個のインバータ33により高速クロックclk2を出力開始する。なお、出力インバータ34は発振OFF時に高速クロックclk2へLを出力するためのものである。

【0026】また、図3に示すように、論理回路4Aの出力p1、及び低速クロックclk1により、周波数比較器2内の制御信号生成器21は、周波数測定タイミングceをカウンタ22へ出力する。

【0027】周波数測定タイミングce=Hのとき、カウンタ22は、カウントアップ可能状態となり、高速クロックclk2によりカウントアップし、カウント値cnを補正值テーブル23へ出力する。

【0028】周波数測定タイミングce=Hの期間はある決められた長さであるため、カウンタ22のカウント値cnは、高速クロックclk2のリングオシレータ3の周波数偏差により変化する。

【0029】補正值テーブル23は、カウンタ22のカウント値cnにより周波数偏差を補正するためのリングオシレータ発振周波数補正指示値（デジタル値）v0を選択し記憶素子24へ出力する。

【0030】記憶素子24は、制御信号生成器21の出力me（周波数比較完了パルス）により、保持している出力v1（リングオシレータ発振周波数補正指示値）の値をv0に変更し、v1を出力する。

【0031】リングオシレータ3内のD/Aコンバータ31は、周波数比較器2からの出力v1によりD/A変換を行い、バックゲート電圧v2（アナログ値）を出力する。奇数個のインバータ33は、バックゲート電圧v2により、スイッチング周波数が変化し、これによりリングオシレータ3は周波数補正されたクロックclk2

を出力する。

【0032】次に、周波数比較器2内の制御信号生成器21は、図4に示すように、出力fig=Hを出力する。電子システムを構成する論理回路4Aは、この出力figにより高速クロックclk2の周波数補正完了を検出し、高速クロックclk2駆動による高速動作を開始する。

【0033】図5は、本実施の形態1に係るクロック生成器のクロック生成停止時の動作を示すタイミングチャートである。

【0034】電子システムに高速クロックが不要となったとき、システムは高速クロックclk2駆動による動作を停止し、その後、電子システムを構成する論理回路4Aの出力p1をH→Lへ変化させ、リングオシレータ3は高速クロックclk2を出力停止する。

【0035】また、電子システムを構成する論理回路4Aの出力p1により、周波数比較器2内の制御信号生成器21は、図5に示すように、周波数補正完了信号fig=Lを出力し、次の高速動作のとき、電子システムを構成する論理回路4Aが周波数補正完了を待たず高速クロックclk2を使用することを防ぐ。

【0036】以上の構成及び動作により、高速クロックclk2が半導体基板5A上にて生成されるため、半導体基板5Aの外にある発振器を2つから1つ減らすことができ、電子システムの小型化効果、省電力化効果、組立コストを削減する効果がある。

【0037】すなわち、この発明の実施の形態1は、携帯電話、携帯情報端末等の電子システムを構成する論理回路を駆動するクロックの発振器に関するもので、電子システムの小型化、省電力化、組立（実装）コスト削減を目的とし、電子システムを構成する論理回路を形成する半導体基板上にリングオシレータによるクロック生成器を形成し、半導体基板外の発振器を減らした構成としたものである。

【0038】携帯電話や携帯情報端末のような携帯電子システムにおいては、システムを構成する論理回路の駆動用クロックの発生手段として、従来、2つの発振器を含む。半導体の集積技術の進展にともない、電子システムを構成する論理回路を大規模集積回路内（LSI）の半導体基板上に形成し、システムの小型化、省電力化、実装コストの削減を図っているが、前記2つの発振器はLSIとは独立した2つの部品（水晶発振器）として搭載されている。このことは、電子システムの小型化の妨げとなっており、また消費電力を大きくしており、また実装コストの削減の妨げとなっていた。

【0039】そこで、電子システムを構成する論理回路（もしくはその一部分）を含むLSI内の半導体基板上に発振周波数補正手段を備えたリングオシレータによるクロック生成器を形成することにより半導体基板外の発振器を2つから1つへ減らし電子システムの小型化、省

電力化、組立コスト削減の効果を得る。

【0040】実施の形態2. この発明の実施の形態2に係るクロック生成器について図面を参照しながら説明する。図6は、この発明の実施の形態2に係るクロック生成器の構成を示す図である。

【0041】上記の実施の形態1におけるCMOS論理回路6Aの代わりに、この実施の形態2では、図6に示すように、バイポーラトランジスタ論理回路6Bにより形成した構成であり、実施の形態1と同様の効果を得ることができる。また、システムが高速動作を必要とするとき、この実施の形態2が有利となる。

【0042】実施の形態3. この発明の実施の形態3に係るクロック生成器について図面を参照しながら説明する。図7は、この発明の実施の形態3に係るクロック生成器のリングオシレータの構成を示す図である。

【0043】上記の実施の形態1におけるリングオシレータ3の代わりに、この実施の形態3では、図7に示すリングオシレータ3Aに置き換えた構成とする。このリングオシレータ3Aは、図2で示されるリングオシレータ3において奇数個のインバータ33のバックゲートへ接続されていたD/Aコンバータ31の出力が、奇数個のインバータ33の電源へ接続された構成である。

【0044】次に、この実施の形態3の動作について説明する。周波数比較器2によりリングオシレータ発振周波数補正指示値 v_1 を出力するところまでは上記の実施の形態1と同様である。

【0045】リングオシレータ3A内のD/Aコンバータ31は、周波数比較器2からの出力 v_1 によりD/A変換を行い、電源電圧(アナログ値) v_2' を出力する。奇数個のインバータ33の電源電圧は v_2' により、スイッチング周波数が変化し、これによりリングオシレータ3Aは、周波数補正された高速クロック c_1k_2 を出力する。以降の動作は実施の形態1と同様である。

【0046】以上の構成、動作により実施の形態1と同様の効果を得ることができる。また、バックゲート電圧が電子システムを構成する論理回路と同じもので済む効果を得ることができる。

【0047】実施の形態4. この発明の実施の形態4に係るクロック生成器について図面を参照しながら説明する。図8は、この発明の実施の形態4に係るクロック生成器のリングオシレータの構成を示す図である。

【0048】上記の実施の形態1におけるリングオシレータ3の代わりに、この実施の形態4では、図8で示される1個のインバータ33と複数の遅延素子38によるリングオシレータ3Bで置き換えたもので、実施の形態1と同様の効果を得ることができる。

【0049】また、上記の実施の形態1の場合、奇数個のインバータ33を構成するインバータの数は2個単位でしか増減できないのに対し、この実施の形態4の場合

合、1個のインバータ33と複数の遅延素子38を構成する遅延素子の数は1個単位で増減できる効果を得られる。

【0050】実施の形態5. この発明の実施の形態5に係るクロック生成器について図面を参照しながら説明する。図9は、この発明の実施の形態5に係るクロック生成器のリングオシレータの構成を示す図である。

【0051】上記の実施の形態1におけるリングオシレータ3の代わりに、この実施の形態5では、図9で示されるリングオシレータ3Cに置き換えた構成とする。このリングオシレータ3Cは、AND回路32と、奇数個のインバータ33と、出力インバータ34と、周波数補正用インバータ35と、セレクト36とから構成される。

【0052】次に、この実施の形態5の動作について説明する。周波数比較器2によりリングオシレータ発振周波数補正指示値 v_1 を出力するところまでは上記の実施の形態1と同様である。リングオシレータ3C内のセレクト36は、周波数比較器2からの出力 v_1 により周波数補正用インバータ35のタップを選択することにより、リングオシレータ3Cの遅延量を変え発振周波数を補正する。これにより、リングオシレータ3Cは、周波数補正された高速クロック c_1k_2 を出力する。以降の動作は実施の形態1と同様である。

【0053】以上の構成、動作により実施の形態1と同様の効果を得ることができる。実施の形態1の場合のD/Aコンバータ31が不要な為、その分の小型化効果が得られる。

【0054】実施の形態6. この発明の実施の形態6に係るクロック生成器について図面を参照しながら説明する。図10は、この発明の実施の形態6に係るクロック生成器のリングオシレータの構成を示す図である。

【0055】上記の実施の形態1におけるリングオシレータ3の代わりに、この実施の形態6では図10で示されるリングオシレータ3Dに置き換えた構成とする。このリングオシレータ3Dは、AND回路32と、奇数個のインバータ33と、出力インバータ34と、可変分周器37とから構成される。

【0056】次に、この実施の形態6の動作について説明する。周波数比較器2によりリングオシレータ発振周波数補正指示値 v_1 を出力するところまでは実施の形態1と同様である。リングオシレータ3D内の可変分周器37は、周波数比較器2から出力 v_1 により指定された分周比にて出力インバータ34の出力を分周することにより、高速クロック c_1k_2 の周波数を補正する。これにより、リングオシレータ3Dは、周波数補正された高速クロック c_1k_2 を出力する。以降の動作は、実施の形態1と同様である。

【0057】以上の構成、動作により実施の形態1と同様の効果を得ることができる。また、実施の形態1の場合

合のD/Aコンバータ31が不要な為、その分の小型化効果が得られる。さらに、奇数個のインバータ33を構成するインバータの数を減らすことにより、周波数補正の精度を高める効果を得られる。

【0058】

【発明の効果】この発明に係るクロック生成器は、以上説明したとおり、電子システムの時計を駆動するための低速クロックを生成する発振器と、半導体基板上に形成され、前記電子システムの主電源がONすると高速クロックを生成し前記電子システムへ出力するリングオシレータと、前記半導体基板上に形成され、前記低速クロック及び前記高速クロックの比較に基づいて前記高速クロックを補正するためのリングオシレータ発振周波数補正指示値を出力する周波数比較器とを備え、前記リングオシレータは、前記周波数比較器から出力されたリングオシレータ発振周波数補正指示値に基づき周波数補正された高速クロックを出力するので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0059】また、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータが、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータのバックゲート電圧に変換して出力するD/Aコンバータと、奇数個のインバータがリング状にカスケードに接続され、前記バックゲート電圧により周波数補正された高速クロックを発振するインバータ回路とを含むので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0060】また、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータが、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータの電源電圧に変換して出力するD/Aコンバータと、奇数個のインバータがリング状にカスケードに接続され、前記電源電圧により周波数補正された高速クロックを発振するインバータ回路とを含むので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0061】また、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータが、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値をインバータ及び遅延素子のバックゲート電圧に変換して出力するD/Aコンバータと、1個のインバータと複数の遅延素子がリング状にカスケードに接続され、前記バックゲート電圧により周波数補正された高速クロックを発振するインバータ回路とを含むので、半導体基板外の発振器を2つから1つへ減らすことができ、

電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0062】また、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータが、奇数個のインバータがリング状にカスケードに接続され、高速クロックを発振するインバータ回路と、前記インバータ回路に接続され、複数のインバータがカスケードに接続された周波数補正用インバータ回路と、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値により前記周波数補正用インバータ回路のタップを選択することにより前記インバータ回路の発振周波数を補正するセレクトを含むので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0063】また、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータが、奇数個のインバータがリング状にカスケードに接続され、高速クロックを発振するインバータ回路と、前記周波数比較器からの前記リングオシレータ発振周波数補正指示値により指定された分周比で前記インバータ回路の出力を分周する可変分周器とを含むので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0064】さらに、この発明に係るクロック生成器は、以上説明したとおり、前記周波数比較器が、前記電子システムの主電源がONすると前記低速クロックに基づき周波数測定タイミングを出力する制御信号生成器と、前記周波数測定タイミングがハイレベルのとき前記高速クロックをカウントするカウンタと、前記カウンタのカウント値により前記リングオシレータの周波数偏差を補正するためのリングオシレータ発振周波数補正指示値を出力する補正值テーブルとを含むので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0065】またさらに、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータ及び前記周波数比較器が、CMOS論理回路により形成されているので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができるという効果を奏する。

【0066】またさらに、この発明に係るクロック生成器は、以上説明したとおり、前記リングオシレータ及び前記周波数比較器が、バイポーラトランジスタ論理回路により形成されているので、半導体基板外の発振器を2つから1つへ減らすことができ、電子システムの小型化、省電力化、組立コストの削減を図ることができる

11

いう効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係るクロック生成器の構成を示す図である。

【図2】 この発明の実施の形態1に係るクロック生成器のリングオシレータの構成を示す図である。

【図3】 この発明の実施の形態1に係るクロック生成器の周波数比較器の構成を示す図である。

【図4】 この発明の実施の形態1に係るクロック生成器の動作を示すタイミングチャートである。

【図5】 この発明の実施の形態1に係るクロック生成器の動作を示すタイミングチャートである。

【図6】 この発明の実施の形態2に係るクロック生成器のリングオシレータの構成を示す図である。

【図7】 この発明の実施の形態3に係るクロック生成器のリングオシレータの構成を示す図である。

【図8】 この発明の実施の形態4に係るクロック生成

12

器のリングオシレータの構成を示す図である。

【図9】 この発明の実施の形態5に係るクロック生成器のリングオシレータの構成を示す図である。

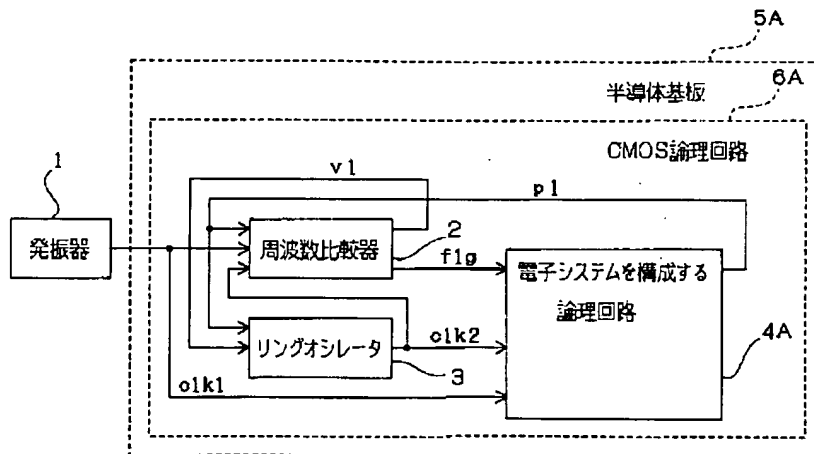
【図10】 この発明の実施の形態6に係るクロック生成器のリングオシレータの構成を示す図である。

【図11】 従来のクロック生成器の構成を示す図である。

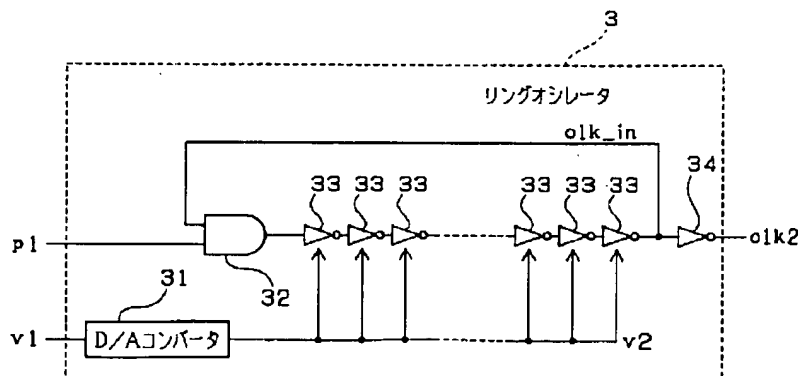
【符号の説明】

1 発振器、2 周波数比較器、3、3A、3B、3C、3D リングオシレータ、4A 電子システムを構成する論理回路、5A、5B 半導体基板、6ACMOS論理回路、6B バイポーラトランジスタ論理回路、21 制御信号生成器、22 カウンタ、23 補正值テーブル、24 記憶素子、31 D/Aコンバータ、32 AND回路、33 インバータ、34 出力インバータ、35 周波数補正用インバータ、36 セレクタ、37 可変分周器、38 遅延素子。

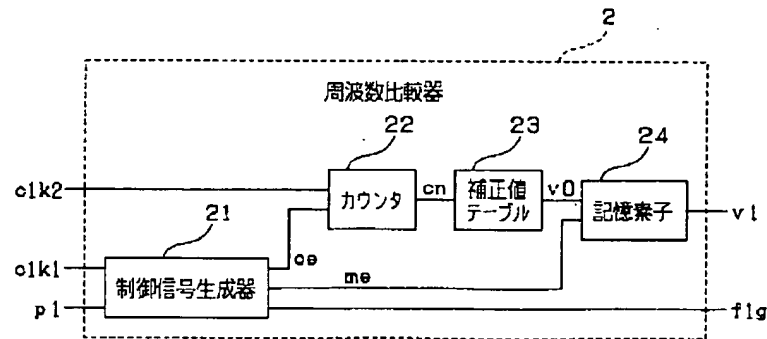
【図1】



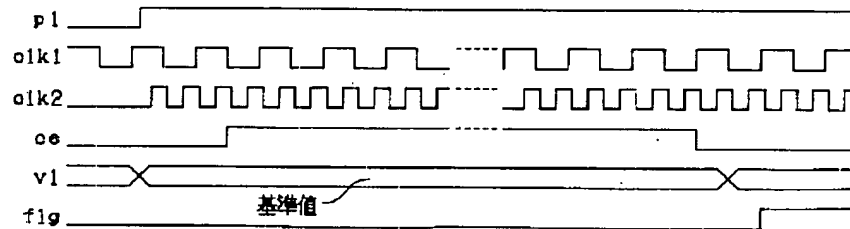
【図2】



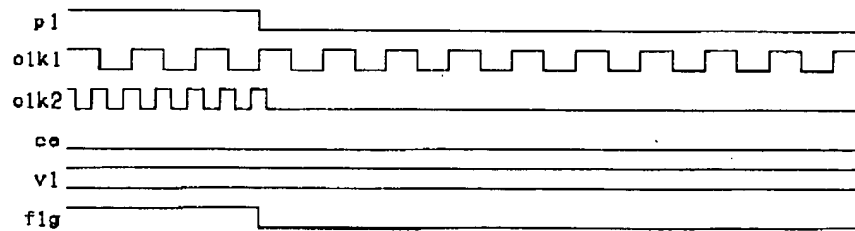
【図3】



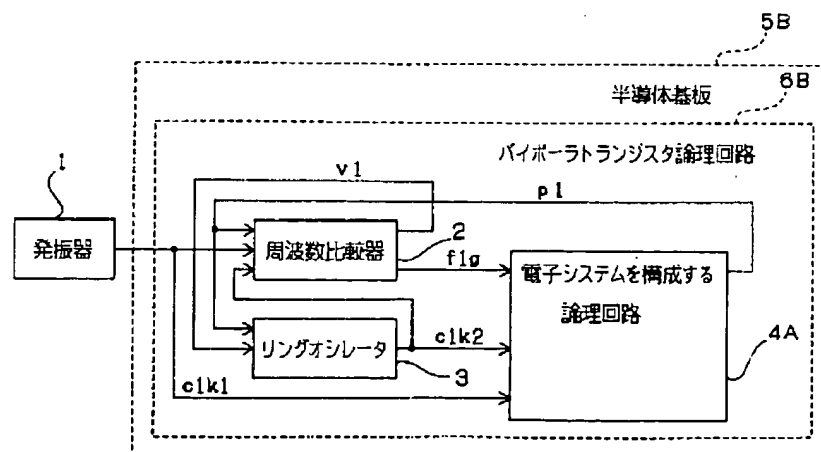
【図4】



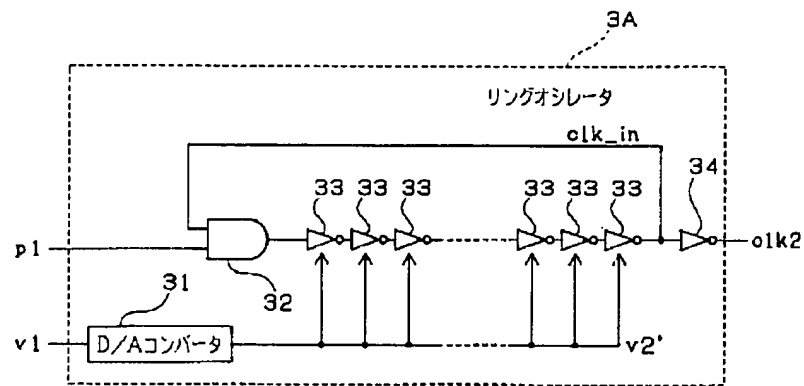
【図5】



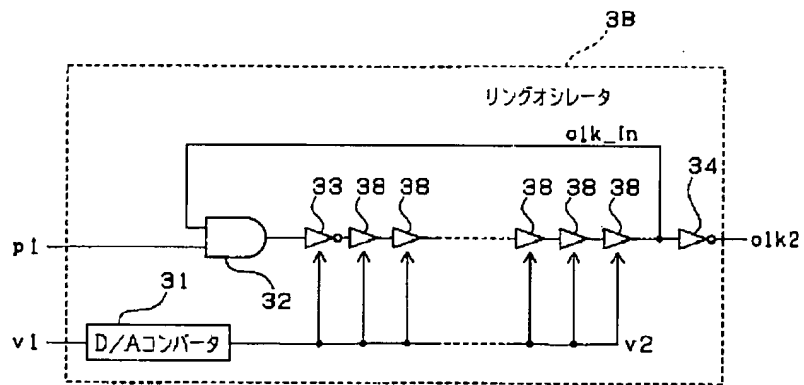
【図6】



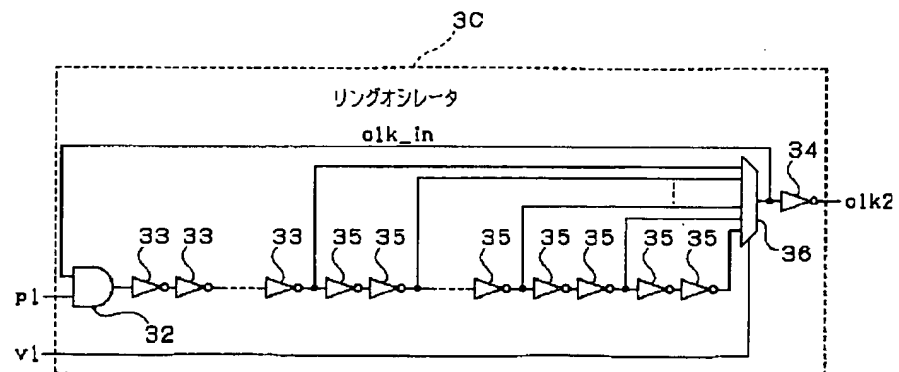
【図7】



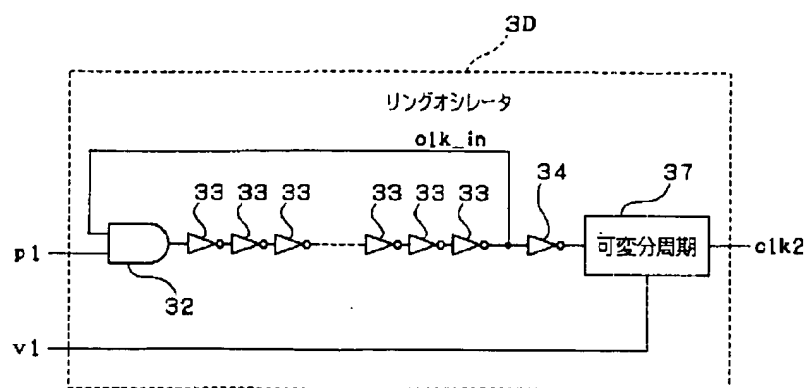
【図8】



【図9】



【図10】



【図11】

